

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-184367
(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

H02M 1/08
G05F 1/56
H03K 17/00
H03K 17/08
H03K 17/16
H03K 17/64

(21)Application number : 06-084305

(71)Applicant : CONSORZIO PER LA RIC SULLA MICROELETTRONICA NEL MEZZOGIORNO

(22)Date of filing : 22.04.1994

(72)Inventor : PALARA SERGIO
SUERI STEFANO
TAGLIAVIA DONATO

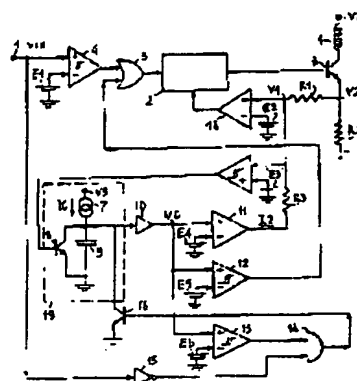
(30)Priority

Priority number : 93 93830176 Priority date : 26.04.1993 Priority country : EP

(54) CONTROL CIRCUIT FOR SLOWLY TURNING OFF POWER TRANSISTOR

(57)Abstract:

PURPOSE: To provide a control circuit for slowing tuning off a semiconductor power transistor, especially for inductive loads.
CONSTITUTION: This control circuit possesses means R1, R2, and 18 for limiting the load current flowing to the switch, and clocking and control circuits 11, 12, and 13, and guarantees to turn off a switch slowly with a specified delay, when it reaches the maximum load current value regardless of the duration of command pulses, whereby it keeps the power diffusion through the switch in load current limiting phase, moreover keeps the turn off overvoltage on or under a specified level.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998.2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-184367

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 1/08	A			
G 0 5 F 1/56	3 1 0 S			
H 0 3 K 17/00		9184-5 J		
17/08	B	9184-5 J		
17/16	G	9184-5 J		

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-84305

(22) 出願日 平成6年(1994)4月22日

(31) 優先権主張番号 9 3 8 3 0 1 7 6 : 9

(32) 優先日 1993年4月26日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 594069683

コ. リ. エンメ. メ. コンソルツィオ ベ
ル ラ リチエルカ スーラ ミクロエレ
ットロニカ ネル メツツォジョールノ
イタリア国, 95121 カターニャ, ストラ
ダール プリモソール 50

(72) 発明者 セルジオ バラーラ

イタリア国, 95026 アキトレツツァ, カ
ターニャ, ピア リボルノ 103

(72) 発明者 ステファノー セリ

イタリア国, 95100 カターニャ, ピア
ア. マリオ 5

(74) 代理人 弁理士 石田 敬 (外3名)

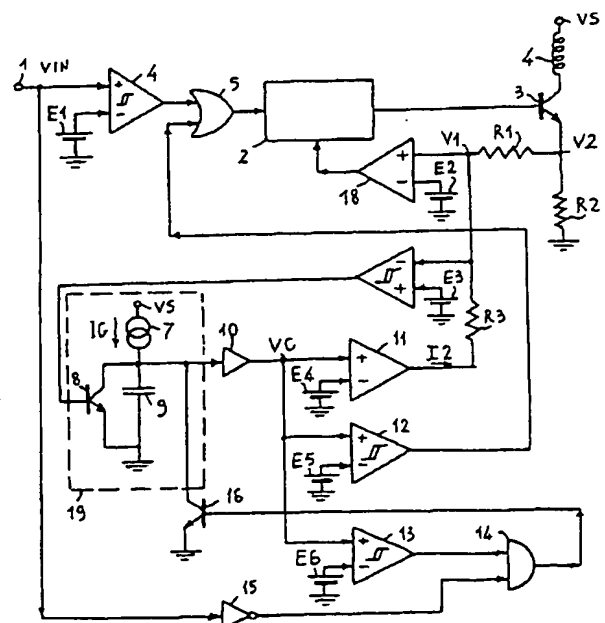
最終頁に続く

(54) 【発明の名称】 電力トランジスタを緩やかにターンオフするための制御回路

(57) 【要約】

【目的】 特に誘導性負荷用の半導体電力トランジスタを緩やかにターンオフするための制御回路を提供する。

【構成】 そのスイッチを流れる負荷電流を制限する手段 R1, R2, 18 と、計時及び制御回路 19, 6, 11, 12, 13 とを具備し、指令パルスの持続時間にかかわらず、最大負荷電流値に達したときに所定の遅延をもってスイッチを緩やかにターンオフするのを保証し、それによって、負荷電流制限フェーズ中スイッチを介しての電力放散を所定値内に保持し、かつ、ターンオフ過電圧を所定レベル内に保持する。



【特許請求の範囲】

【請求項 1】 半導体電力スイッチを緩やかにターンオフするための制御回路であって、

指令入力信号によって活性化される駆動段 (2) と、
前記スイッチを流れる負荷電流を検出する検出器手段 (R2) と、

前記検出器手段に接続された負荷電流制限回路 (18, R1) と、

を具備するものにおいて、さらに、

所定の値を越える負荷電流によって活性化される第 1 の電気ランプ信号を発生させる計時回路 (6, 19) と、
前記第 1 の電気信号を第 1 の入力で及び所定の電気基準信号を第 2 の入力で受信して、前記第 1 の信号に対し線形的に変化しかつ前記制限回路に入力される第 2 の電気ランプ信号を発生させる第 1 の増幅器と、

所定のレベルにおける前記第 1 のランプ信号によって活性化され、前記計時回路を非活性化状態にリセットする第 1 の回路手段 (13, 14, 15) と、

を具備することを特徴とする制御回路。

【請求項 2】 前記第 2 のランプ信号 (12) が前記計時回路 (6, 19) に入力される、請求項 1 に記載の回路。

【請求項 3】 前記計時回路によって活性化され、前記第 1 のランプ信号 (VC) の値が所定のレベル (E5) を越えたときに前記駆動段 (2) に入力される前記指令信号を保持する第 2 の保持回路手段 (12, 5) を具備する、請求項 1 又は請求項 2 に記載の回路。

【請求項 4】 前記制限回路は抵抗器 (R1) を介して前記負荷電流検出手段 (R2) に接続される第 1 の入力を有する第 2 の増幅器 (18) を具備し、前記第 2 の電気ランプ信号 (12) は前記第 1 の入力に印加され、前記増幅器の第 2 の入力は所定の基準電圧 (E2) を受信する、請求項 1、請求項 2 又は請求項 3 に記載の回路。

【請求項 5】 前記第 1 の増幅器 (11) は、前記第 1 の電気ランプ信号 (VC) を受信する第 1 の入力と、所定のレベル (E4) を有する基準電圧を受信する第 2 の入力と、を有する相互コンダクタンス増幅器である、請求項 1、請求項 2、請求項 3 又は請求項 4 に記載の回路。

【請求項 6】 前記第 1 の回路手段 (13, 14, 15) は、前記第 1 の電気ランプ信号 (VC) を受信する第 1 の入力及び所定のレベル (E6) を有する基準電圧を受信する第 2 の入力を有する比較器 (13) と、前記制御入力信号 (VIN) 及び前記比較器 (13) からの出力信号を入力として受信しかつ前記計時回路をリセットする論理回路 (14, 15) と、を具備して、所定のレベルにある前記比較器 (13) からの出力信号が存在しかつ前記制御信号 (VIN) が存在しないときに前記計時回路を非活性化状態に設定する、請求項 1、請求項 2、請求項 3、請求項 4 又は請求項 5 に記載の回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、誘導性負荷を制御する電力トランジスタを緩やかにターンオフするための制御回路に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 よく知られた事実であるが、今日の電気負荷用駆動回路は、バイポーラトランジスタ、MOS 技術の電界効果電力トランジスタ等の半導体スイッチング電力デバイスをたくさん使用している。

【0003】 かかるデバイスは、調節中の状態と対比して、完全なオープン状態か又は完全なクローズ状態のいずれかで作動させ、オープン状態からクローズ状態に及びその逆にスイッチングするときの短い遷移中に主として発生するスイッチ電力損失を最小限に抑えることが好ましい。

【0004】 基本的に誘導性負荷を制御するこのようなデバイスを使用することは、完全に満足な解決法を未だ持っていないいくつかの重大な問題を提出する。

【0005】 例えば、エミッタが (エミッタ電流を測定する低い値の抵抗器を付加的に介して) 接地され、コレクタが誘導性負荷 L を介して正電源 VS に接続された (NPN 型の) バイポーラ電力トランジスタについて考えてみると、スイッチング損失を実質的になくしてオープン状態からクローズ状態に当該トランジスタに至らせることができるようにすることが高く評価されるであろう。なぜならば、初期値が 0 でその初期値が負荷インダクタンスに対して線形的に大きくなるという負荷を介して電流が流れ始めるからである。

【0006】 負荷抵抗が無視しうる場合には、一定時間にわたって非常に高い電流レベルに達し、負荷及びスイッチの双方に害を与える可能性がある。

【0007】 強磁性回路を含む誘導性負荷の場合、問題はより一層重大である。

【0008】 その場合、特定の電流レベルにおいて、その磁気回路は飽和し、負荷インダクタンスは急峻にかつ劇的に降下し、結果として負荷電流が急速に増大する。

【0009】 そのような過負荷状況を避けるために長い間知られてきたことは、誘導性負荷を制御するためのスイッチを、負荷インダクタンス及び最大許容電流に相関させた制限された時間で切り替えなければならないということ、又はその代わりに、完全な導通状態から、所定のレベルで負荷電流を保持する中間制御状態に、スイッチを駆動するのに有効な自動的作動型負荷制限回路を、スイッチに設けなければならないということである。

【0010】 しかしながら、そのような対策は、当該問題を部分的にしか解決することができない。

【0011】 前者の場合、実際に、高速なスイッチングオフがトランジスタのコレクタに過電圧を発生させ、こ

の電圧は、スイッチングオフが高速であればあるほど一層高くなり、それ故、構成部品が故障し、負荷が誤動作し、又は望ましくない損傷を受ける可能性がある。

【0012】後者の場合、電流制限回路が設けられ、負荷電流が一定の最大レベルに設定されるので、該誘導器のリアクタンス効果(reactive effect)が損なわれてしまう。

【0013】このことは、該誘導器が抵抗性負荷として作用し、負荷における電圧降下が、制限器によって強制される電流に内部抵抗を乗じたものに等しくなる、ということを意味する。

【0014】内部抵抗が低い場合には、電源電圧がほぼ完全にトランジスタに印加され、トランジスタは大量の電力を放散する。

【0015】この状態は、非常に短時間ならば耐えるものであるが、確実にトランジスタの加熱を誘発し、やがては最終的にトランジスタを破壊する。

【0016】かくして、この場合においてさえも、トランジスタのターンオフは、必要であり、前者の場合と同じ問題をもたらす。

【0017】一般に実践されてきたことであるが、スイッチのオープンに伴う欠点を避けるため、負荷が許す場合には、再循環ダイオード(recirculation diode)、場合によってはツェナーダイオードを設けて、誘導器の無効エネルギー(reactive energy)を放散し、あるいは可能であれば、容量性要素及び抵抗性要素からなる緩衝回路(snubbing circuit)をスイッチと並列に設けて、誘導器の無効エネルギーを容量性エネルギーに変換し、それを抵抗性要素を通して徐々に放散する。

【0018】このような回路がスイッチングオフ過電圧を効果的に制限するためには、それらの回路は適当なサイズのものである必要があり、それ故、構成部品としては、大量の瞬時電力に耐え、一時的に大量のエネルギーを蓄えることができるものを使用する必要がある。

【0019】したがって、回路は、どうしても巨大で、高価で、制御デバイスの中に統合するのが困難なものになってしまう。

【0020】加えて、それらの回路は、スイッチがオープンのときに作動するのみであろうから、酷使されることになる。

【0021】

【課題を解決するための手段及び作用】かかる欠点は、電力トランジスタ用の緩やかなターンオフ制御回路によって回避され、この発明によれば、該制御回路においては、誘導性負荷の無効エネルギーは、ある被制御過電圧のところで、該スイッチデバイス自身内で放散せしめられ、該スイッチデバイスは、所定の時間内に最大値から0値まで徐々にオープンされる。

【0022】この発明の他の態様によれば、スイッチがオープンし始める時刻は、所定の最大負荷電流に達した

ことによって設定され、これは、回路に与えられる指令パルスの持続時間にかかわらず達すべきこの最大電流を規定する保持回路を使用してなされる。

【0023】このように、誘導性負荷に印加される電流パルスは、負荷インダクタンスの変動性及び指令パルスの持続時間によって影響されることはない。

【0024】この発明の更なる態様によれば、スイッチがオープンし始める時間は、最大負荷電流に達した後の所定の時間に設定され、前記電流はその所定の時間を通して保持されており、制御された電力放散がスイッチにおいて発生可能であり、新しいスイッチオンはその活性化時間よりも長い時間、該回路によって阻止され、それによって1以下のスイッチデューティサイクル(a switch duty cycle below unity)、それ故瞬時放散電力より都合よく小さい平均放散電力を提供する。

【0025】そのような手段によって、トランジスタスイッチは、それに印加される指令信号の変化する持続時間とは全く独立に作用するようにすることができ、このことは、かかる指令がマニュアルで発行される場合に明らかに有利となり、それ故、広範な変動に対して責任がある。

【0026】これらの利益は、電力トランジスタ用の緩やかなターンオフ制御回路であって、電流制限回路と、所定の負荷電流にて活性化される計時ランプ発生器(timing ramp generator)と、前記ランプ発生器に結合されて前記ランプに対して線形的に変化する電気信号を該制限回路に印加する、好ましくは相互コンダクタンスの種類の増幅器と、該ランプ発生器が活性化している間、該入力指令信号を活性化レベルに保持する回路と、前記ランプ発生器用リセット回路と、を具備するものによって達成される。

【0027】

【実施例】本発明の特徴及び利益は、以下の好ましい実施例の説明及び添付図面から、より明確に理解することができる。

【0028】図1について説明する。電力トランジスタ3のための制御回路は、通常の駆動段2と、論理OR入力ゲート5と、制御信号VIN及び基準電圧E1を入力として受信する、好ましくはヒステリシス信号比較器型の入力受信器要素4と、を具備する。

【0029】トランジスタ3(例えばNPN型)のコレクタは、正電源VSから供給される誘導性負荷4に接続され、そのエミッタは、 10^{-2} オームのオーダの低抵抗を有する測定抵抗器R2を介してグラウンドに接続される。

【0030】トランジスタ3のベースは、駆動段2からの出力17によって制御される。

【0031】トランジスタ3のエミッタは、抵抗器R1を介して演算増幅器18の非反転入力に接続され、演算増幅器18の反転入力、基準電圧E2に接続される。

【0032】増幅器18の出力は、駆動段2に接続され、エミッタ電流（これは、ベース電流がなければ、誘導器4を通る負荷電流 I_L に等しくなる）を $I_M \cdot R_2 = E_2$ となるような最大値 I_M に制限するよう駆動段2を制御する。

【0033】該制御回路は、さらに、複数の増幅器／ヒステリシス比較器6、12、13と、相互コンダクタンス増幅器11と、電圧ランプ発生回路（定電流IG発生器7、トランジスタ8、及びキャパシタ9を具備する）と、バッファ又はインピーダンスアイソレータ10と、信号インバータ15と、論理ANDゲート14と、トランジスタ16と、を具備する。

【0034】比較器6の反転入力、比較器18の非反転入力に接続され、比較器6の非反転入力、基準電圧 E_3 に接続される。

【0035】比較器6の出力は、トランジスタ8のベースに接続され、そのトランジスタのコレクタは、発生器7から電力を供給され、エミッタは、グランドに接続される。

【0036】キャパシタ9は、そのコレクタとそのエミッタとの間に接続される。

【0037】そのコレクタは、また、バッファ10の入力に接続され、そのバッファの出力は、増幅器11の非反転入力に接続され、その増幅器の反転入力、基準電圧 E_4 に接続される。

【0038】増幅器11の出力は、抵抗器 R_3 を介して増幅器18の非反転入力に接続される。

【0039】バッファ10の出力は、また、比較器12、13の非反転入力に接続され、それらの比較器の反転入力、それぞれ基準電圧 E_5 、 E_6 に接続される。

【0040】比較器12の出力は、ORゲート5の入力に接続され、比較器13の出力は、ANDゲート14の入力に接続される。

【0041】ANDゲート14のもう一方の入力は、論理NOT要素15の出力に接続され、ANDゲート14の出力は、トランジスタ16のベースに接続される。

【0042】トランジスタ16は、そのエミッタは接地されているが、そのコレクタは、トランジスタ8のコレクタに接続される。

【0043】回路指令信号 V_{IN} は、入力端子1に印加され、そこから比較器4の入力及びNOT15の入力へと導かれる。

【0044】基準電圧 E_1 、 E_2 、…、 E_6 は、応用上の要求に適合するよう選択することができ、相互に異なる必要はない。

【0045】それらは、特定の要求に適するよう容易に適応せしめられうる種々の作動条件を、それらのレベルにより定義する。

【0046】その回路動作は、図2のタイムチャートによって説明される。図2は、それぞれ、指令信号 V_I

N 、負荷電流 I_L 、ランプ発生器からの出力電圧 V_C 、及び増幅器11からの出力電流（又は電圧） I_2 を表す。

【0047】このタイムチャートは、2つの分離した作動条件を示しており、その1つは、所定の最大負荷電流 $I_L = I_M$ に達したときの、トランジスタ3の緩やかなターンオフ駆動に関するものである。

【0048】この場合、基準電圧 E_4 は、都合よく0に等しく設定し、基準電圧 E_3 は、 E_2 に等しく設定することができる。

【0049】そのときの各チャートは、基準 $E_4 = 0$ によって示される。

【0050】第2の作動条件は、ひとたび $I_L = I_M$ の負荷電流条件に達すると、所定の時間、電流制限回路によってそれが保持され、その時間の終わりで、トランジスタ3が、指令パルス V_{IN} の持続時間にかかわらず緩やかにターンオフする、というものを提供する。

【0051】この場合、基準電圧 E_4 は、都合よく、0より大きくなる。

【0052】対応するチャートは、基準 $E_4 > 0$ によって示される。

【0053】次に、 $E_4 = 0$ かつ $E_3 = E_2$ の場合を考察する。

【0054】時刻 T_0 と時刻 T_1 の間では、指令信号 V_{IN} は、0の電気及び論理レベル（例えば、論理レベル0が電気レベル0に対応し、正の電気レベルが論理レベル1に対応する、と仮定する）にあり、トランジスタ2はオープンである。

【0055】負荷を電流が流れていないため、トランジスタ3のエミッタ電圧 V_2 は0となり、比較器6はトランジスタ8のベースに正の電圧を印加し、これはトランジスタ8を導通状態に保持する。

【0056】キャパシタ9は短絡せしめられ、バッファ10からの出力電圧 V_C は0となり、増幅器11からの電流／電圧出力も同様である。

【0057】このように、増幅器11も比較器12、13も0の電流／電圧信号を出力する。

【0058】この電気状態は、該回路の静止又は非活性化条件を規定する。

【0059】時刻 T_1 において、正の電圧パルスが制御入力1に印加され、段2に転送され、段2はトランジスタ3を導通状態に設定する。

【0060】したがって、電流 I_L は、線形的に増加し、 R_2 における電圧降下を誘発する。

【0061】このようにして、 V_2 は線形的に増加する。

【0062】時刻 T_2 において、 R_2 における電圧降下が電圧 E_3 と等しくなり、増幅器18は、段2にエラー信号を印加し、電流 I_L を最大値 I_M に制限する。

【0063】それと同時に、 $E_3 = E_2$ と仮定されてい

るため、比較器 6 は、切り替わり、それによって出力を 0 とし、トランジスタ 8 をオープンする。

【0064】キャパシタ 9 は充電を開始し、電圧 V_C は線形則 ($V_C = I_G(t - t_2)/C$) にしたがって増加する。

【0065】 $E_4 = 0$ のため、相互コンダクタンス増幅器 11 は、電流 $I_2 = V_C \cdot K = I_G(t - t_2) \cdot K / C$ (ここで K は相互コンダクタンス) を出力する。

【0066】増幅器 6、18 の入力インピーダンスは、無視できるほどのものにすることができるので、 R_1 及び R_2 を流れる電流 I_2 は、増幅器 18 への入力電圧を持ち上げる傾向があり、増幅器 18 は、段 2 に作用することによって、電流 I_L が、 $R_1 \cdot I_2 + R_2 \cdot I_L$ が E_2 に等しくなるほど減少するよう強制する。

【0067】したがって、 I_L は、 I_2 が増加するにつれて線形的に増加する。

【0068】理解できるように、成分 I_2 による R_2 での電圧降下は、電圧降下 $I_L \cdot R_2$ に比較して無視できるものである。

【0069】この例 ($E_4 = 0$) では、相互コンダクタンス増幅器 11 は、最も単純な形で、エミッタ抵抗が直列抵抗器 R_1 、 R_3 によって与えられるエミッタフォロワトランジスタ配列とすることができる。

【0070】指令信号 V_{IN} の除去によりトランジスタ 3 がターンオフフェーズ中にオープンするのを防ぐために、比較器 12 は、電圧 V_C が電圧 E_5 (このケースでは、0 に近い値をとるように都合よく選択されており、グラフ V_C 上の E_5 で示される) を越えたときに、 T_2 に近接する T_3 から、ゲート 5 を介して段 2 に、正レベルの保持信号を印加する。

【0071】時刻 T_4 において、トランジスタ 3 は、完全にオフとなるが、制御回路が活性化している間は再びスイッチオンされることはできない。

【0072】制御回路は、比較器 13 によってリセットされる。

【0073】ランプ電圧 V_C が (時刻 T_7 において) 基準電圧 E_6 に等しくなると、正レベルが比較器 13 の出力に現れ、AND ゲート 14 を介して何も指令信号が入力 1 に現れないならば、比較器 13 は、トランジスタ 16 をクローズし、キャパシタ 9 を放電させ、キャパシタ 9 の作動は、 T_7 の直後の時刻 T_8 にてすぐに完了する。

【0074】 E_6 を都合よく高くしかつ適当に低いランプ傾斜に選択することによって、所定の時間、トランジスタ 3 の再活性化を防ぐことが可能となり、したがって、トランジスタ機能と一致するデューティサイクルを提供することが可能となる。

【0075】 $E_4 > 0$ の場合の回路動作も、全く同様である。

【0076】この場合、トランジスタ 3 における電流ラ

ンプは、時刻 T_1 から T_2 にかけて、制限器 18 によって値 I_M に電流が保持される場合の供給条件 (時間 T_2 、 T_5) に従う。

【0077】時刻 T_5 において、電圧 V_C が基準電圧 E_4 に等しくなると、増幅器 11 は、導通し始め ($E_4 > 0$ の場合のグラフ 12)、トランジスタ 3 は、徐々にターンオフする。

【0078】よく理解できることであるが、説明した回路は、ターンオフ過電圧に対する有効な保護をトランジスタ 3 に与え、過電圧は制限され、また同時に、不当な活性化指令又はノイズから発する可能性のある、トランジスタ 3 を通しての過度の電力放散に対する保護を与える。

【0079】前述の説明は、好ましい実施例をカバーするのみであること、及び、本発明の範囲から逸脱することなく、それに対して多くの変更がなされうること、が理解される。

【0080】特に、トランジスタ 3、8、16 は、図示された NPN 型トランジスタの代わりに、MOSFET デバイスでもよいであろう。

【0081】発生器 7 は、抵抗器で置き換えることができる。また、トランジスタ 16 の機能は、トランジスタ 8 によって実現可能である。この場合、入力 1 と、適当な論理回路 (基本的に、比較器 6 及び AND ゲート 14 からの各出力を入力として受信する OR) を介しての比較器 13 の出力と、の制御下に置かれる。

【0082】また、抵抗器 R_3 は、相互コンダクタンス増幅器 11 の場合には省略可能であり、増幅器 11 が低出力インピーダンスを有する電圧増幅器である場合のみ必要となる。

【0083】図 3 は、トランジスタ 3 の駆動段 2 を、完全を期すために図示したものである。

【0084】段 2 は、基本的に、2 つのトランジスタ 20、21 を具備し、ここで前者は、コレクタが抵抗制限器 22 を介して正電圧源 V_S に接続され、エミッタがトランジスタ 3 (又はダーリントン構成のトランジスタ対) のベースに接続される。

【0085】トランジスタ 21 のコレクタは、トランジスタ 3 のベースに接続され、エミッタは、グランドに接続される。

【0086】トランジスタ 20 のベースは、ゲート 5 を介して印加される入力信号 V_{IN} によって制御される。

【0087】トランジスタ 21 のベースは、増幅器 18 によって出力されるエラー及び調節信号 V_R を入力として受信する。

【0088】負荷電流が最大電流 I_M を越える傾向があるときには、トランジスタ 21 は、導通し、トランジスタ 20 によってトランジスタ 3 に課されるベース電流を部分的に汲み出してグランドに放電させるよう、誘発される。

【0089】この回路では、トランジスタ3の緩やかなターンオフを保証するために、トランジスタ20は、ターンオフするのに必要な時間の間、導通状態に保持されなければならないように思われる。

【0090】このため、説明した制御回路は、指令パルスのないときでさえも、ブロック2が活性化状態に保持されるように、比較器12及びゲート5を介して制御する。

【0091】この保持は、ランプ発生器が活性化される時刻T2に続く時刻T3から保証されるのみであることに気づくであろう。

【0092】しかしながら、ランプ発生器は、基準電圧E3を0近くを選択することによって、T1直後のある時刻にて活性化可能であろう。

【0093】またよく理解されるであろうことだが、図3の回路は、部分的にしか示されておらず、その好ましい構成は、制御されるべき半導体スイッチの型によっては大きく示されるであろう。

【0094】

【発明の効果】以上説明したように、本発明によれば、誘導性負荷を制御する電力トランジスタを緩やかにターンオフするための制御回路が提供される。

【図面の簡単な説明】

【図1】本発明に係る緩やかなターンオフ制御回路の好ましい実施例のブロック回路図である。

【図2】図1の回路のいくつかの場所における電圧／電流を示すタイムチャートである。

【図3】図1の回路用トランジスタ駆動段の回路例を示す回路図である。

【符号の説明】

2…駆動段

3…電力トランジスタ

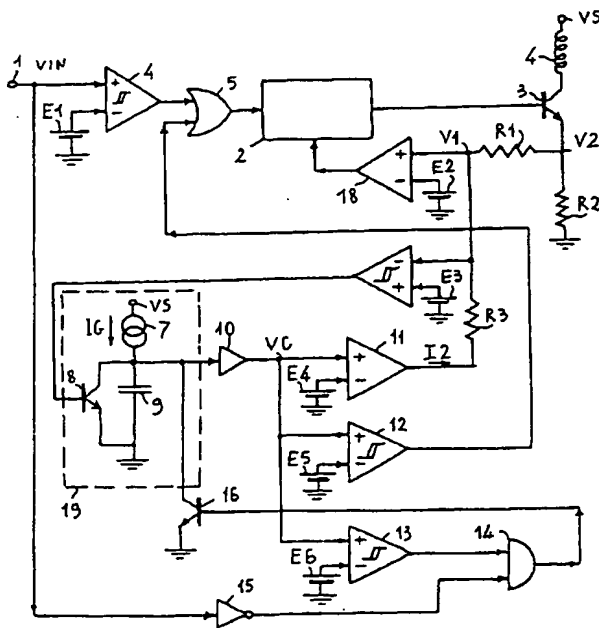
6、12、13…増幅器／ヒステリシス比較器

11…相互コンダクタンス増幅器

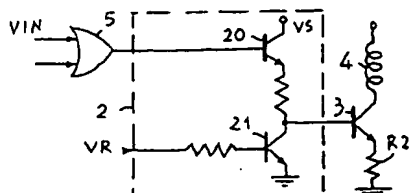
18…演算増幅器

19…電圧ランプ発生回路

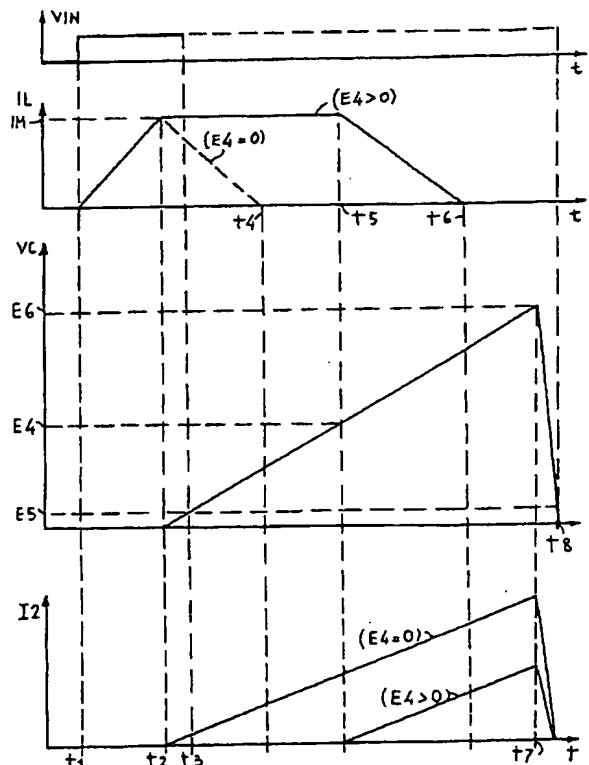
【図1】



【図3】



【図2】



フロントページの続き

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/64		9184-5 J		

(72) 発明者 ドナト タリーピア
イタリア国, 95024 アキレアーレ, カタ
ーニャ, コルソ シチリア 64